

KOREAN PATENT ABSTRACTS

(11) Publication number: 100213191 B1
(43) Date of publication of application: 13.05.1999

(21) Application number: 1019950069740

(71) Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(22) Date of filing: 30.12.1995

(72) Inventor:

HAN, SEONG UK

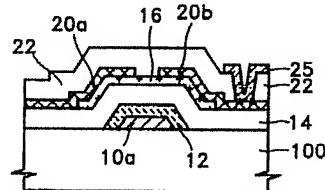
(51) Int. Cl

G02F 1/1333

(54) THIN FILM TRANSISTOR-LIQUID CRYSTAL DISPLAY AND FABRICATING METHOD THEREOF

(57) Abstract:

PURPOSE: A thin film transistor-liquid crystal display and its fabricating method thereof are provided to prevent opening of a data line due to a step at the lower layer of the data line without any additional process by forming a data line redundancy layer with the same material as that of a pixel electrode. CONSTITUTION: A gate electrode (10a) and a gate line are formed on a glass substrate (100). An anodized film (12) is formed to cover the gate electrode (10a). A gate insulation film (14) is formed to cover the anodized film 12 and the gate line. A semiconductor pattern (16) is formed on the gate insulation film (14) at the upper portion of the gate electrode (10a). A source electrode (20a) and a drain electrode (20b) are formed on the semiconductor pattern (16). A data line (20) is formed to be connected with the source electrode (20a) on the gate insulation film (14) at the upper portion of the gate line and crosses the gate line. A protective film (22) is inserted to be connected with the drain electrode (20b) to thereby form a pixel electrode (25). The protective film (22) is inserted to be connected with the data line (20) at the portion where the gate line and the data line (20) are crossed, to thereby form a data line redundancy layer (25).



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19951230)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (19990416)

Patent registration number (1002131910000)

Date of registration (19990513)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. 6
G02F 1/1333

(45) 공고일자 1999년08월02일
(11) 공고번호 10-0213191
(24) 등록일자 1999년05월13일

(21) 출원번호	10-1995-0069740	(65) 공개번호	특1997-0054526
(22) 출원일자	1995년12월30일	(43) 공개일자	1997년07월31일
(73) 특허권자	삼성전자주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416		
(72) 발명자	한성욱 경기도 용인군 기흥읍 농서리 산 24번지		
(74) 대리인	권석홍 노민식 이영필		

심사관 : 조경화

(54) 박막트랜지스터-액정표시장치 및 그 제조방법

요약

박막트랜지스터-액정표시장치 및 그 제조방법에 대해 기재되어 있다. 이는 유리기판 상에 매트릭스형태로 형성된 게이트라인과 데이터라인과 게이트라인의 한쪽 끝에 형성된 게이트패드와, 데이터라인의 한쪽 끝에 형성된 데이터패드와, 하나의 게이트라인과 하나의 데이터라인에 의하여 둘러싸여지는 화소영역을 구비하여 이루어지는 박막트랜지스터-액정표시장치에 있어서, 게이트라인과 데이터라인이 교차되는 부위의 데이터라인과 연결되는 데이터라인 리던던총을 더 구비하는 것을 특징으로 한다. 따라서, 화소전극과 동일한 재질로 데이터라인 리던던시총을 형성함으로써 추가의 공정 없이도, 데이터라인 하부층의 단자에 의한 데이터라인의 오픈을 방지할 수 있다.

명세서

도면의 간단한 설명

제1도는 일반적인 TFT-LCD의 레이아웃을 설명하기 위한 개략도이다. 제2도, 제3도 및 제4도는 본 발명에 의한 박막트랜지스터-액정표시장치를 나타낸 단면도들 및 평면도이다.

제5도는 본 발명에 따른 박막트랜지스터-액정표시장치의 프로세스 구성을 나타낸 공정흐름도이다.

제6a도 내지 제6g도, 제7a도 내지 제7g도 및 제8a도 내지 제8g도는 본 발명에 따른 박막트랜지스터-액정표시장치의 제조방법을 공정순서별로 설명하기 위해 도시한 단면도들이다.

[발명의 상세한 설명]

본 발명은 박막트랜지스터(TFT:Thin Film Transistor)-액정표시장치화(CD : Liquid Crystal Disp1ay) 및 그 제조방법에 관한 것으로, 특히 데이터라인의 오픈(open)을 방지하기 위한 리던던시(redundancy) 구조를 구비한 TFT-LCD 및 그 제조방법에 관한 것이다.

화상정보시대에서 정보전달의 주 매개체인 표시장치의 퍼스널(personal)화, 스페이스(space) 절약화의 요구에 부응하여 지금까지 표시장치의 주종이었던 거대한 음극선관(CRT : Cathode-Ray Tube)을 대신하여, LCD, PDP(Plasma Display Panel), EL(Electro-Luminescence)등 각종 평판 표시장치가 개발되어 왔다. 그 중에서도 특히 LCD는 전기장에 의하여 분자의 배열이 변화하는 액정의 광학적 성질을 이용하는 액정기술과 반도체기술을 융합한 표시장치로서 평판 표시장치의 대명사로 불리고 있다.

제1도는 일반적인 TFT-LCD의 레이아웃을 설명하기 위한 개략도이다.

제1도를 참조하면, 유리기판(1)상에 매트릭스(matrix) 형태로 게이트라인(gate line : 3)과 데이터라인(data line : 7)이 형성되어 있고, 상기 게이트라인(3)의 한쪽 끝에는 게이트패드(gate pad : 5)가, 상기 데이터라인(7)의 한쪽 끝에는 데이터패드(data pad : 9)간 각각 마련되어 있으며, 상기 하나의 게이트라인(3)과 하나의 데이터라인(7)에 의하여 둘러싸여지는 부분이 하나의 화소(11)를 이루게 된다.

이와같은 TFT-LCD의 제조공정에 있어서 데이터라인의 오픈은 공정상의 이를질 및 응력의 집중 등으로 발생하는 전형적인 불량으로, 수율 저하의 주요한 요인으로 대두되고 있다. 이러한 불량을 방지하기 위하여 비정질실리콘 리던던시총을 데이터라인의 하부에 형성하거나, 2중 데이터라인 구조를 채택함으로써, 상기한 오픈의 발생을 줄이고자 하는 노력들이 경주되어 왔다. 그러나, 이러한 방법들은 공정이 복잡함은 물론 스퍼터링(sputtering) 및 CVD(Chemical Vapor Deposition) 공정이 추가되어 코스트(cost)가 증가됨은 물론, 공정 파티클(particle)에 의해 오히려 오픈 가능성성이 높아지는 문제가 초래되고 있다.

또한, 게이트라인과 데이터라인이 교차되는 부위의 단차 및 이를질에 의해 발생하는 단차부 오픈의 경우, 후속의 오픈 검증 테스트로는 검출되지 않을 때가 많다. 더욱이, 기존의 기술로는 단차 및 이를질에 의한 오픈을 방지할 수 없다는 단점도 있다.

따라서, 본 발명의 목적은 상기한 바와 같은 증대기술의 문제점을 해결하기 위하여 화소전극과 동일한 물질로 만들어지되, 게이트라인과 데이터라인이 교차되는 부위의 데이터라인과 연결된 데이터라인 리던던시총을 구비함으로써 데이터라인 하부총의 단차에 의하여 데이터라인이 오픈되는 것을 방지할 수 있는 박막트랜지스터-액정표시장치를 제공하는데 있다.

본 발명의 다른 목적은 상기 화소전극과 동일한 물질로 형성된 데이터라인 리던던시총을 구비한 박막트랜지스터-액정표시장치를 제조할 수 있는 제조방법을 제공하는데 있다.

상기한 목적을 달성하기 위한, 본 발명에 의한 박막트랜지스터-액정표시장치는, 유리기판 상에 형성된 게이트전극과 게이트라인; 상기 게이트전극상에 형성된 게이트절연막; 상기 게이트전극 상부의 게이트절연막 위에 형성된 반도체패턴; 상기 반도체패턴 상부에 상기 게이트전극을 중심으로 대향하여 형성된 소오스전극 및 드레인전극; 상기 게이트절연막 상에 상기 게이트라인과 교차되며 상기 소오스전극과 연결되어 형성된 데이터라인; 및 상기 드레인전극과 연결되는 화소전극을 구비하여 이루어지는 박막트랜지스터-액정표시장치에 있어서, 상기 게이트라인과 데이터라인이 교차되는 부위의 상부에 데이터라인과 연결되는 데이터라인 리던던시총을 더 구비하는 것을 특징으로 한다.

실시예에 따르면, 본 발명의 박막트랜지스터-액정표시장치는 게이트전극과 게이트절연막 사이에 게이트전극을 덮는 양극산화막을 더 구비할 수 있다.

본 발명의 박막트랜지스터-액정표시장치에 있어서, 상기 화소전극과 데이터라인 리던던시총은 ITO막으로 이루어지는 것이 바람직하다.

상기한 다른 목적을 달성하기 위한, 본 발명에 의한 박막트랜지스터-액정표시장치의 제조방법은, 유리기판상에 소정의 금속막을 형성한 후 패터닝함으로써 게이트전극 및 게이트라인을 형성하는 단계; 상기 게이트전극상에 이 트절연막을 형성하는 단계; 상기 게이트전극상부의 일부분을 노출시키는 단계; 및 상기 게이트라인 일부분을 노출시키는 단계; 상기 게이트전극, 게이트패드 및 상기게이트라인과 교차되는 데이터라인을 형성하는 단계를 구비하여 이루어지는 박막트랜지스터-액정표시장치의 제조방법에 있어서, 상기 소오스전극, 드레인전극, 데이터라인 및 게이트패드 형성을 후 결과를 전면에 보호막을 형성한 후 패터닝함으로써, 상기 드레인전극의 일부분을 노출시키는 화소전극용 컨택홀과, 상기 게이트라인과 데이터라인이 교차되는 부위의 데이터라인을 노출시키는 리던던시총용 컨택홀을 형성하는 단계; 및 상기 드레인전극의 일부분과, 상기 게이트라인과 데이터라인이 교차되는 부위의 데이터라인을 노출시키는 후 결과를 전면에 소정의 금속막을 형성한 후 패터닝함으로써, 상기 화소전극용 컨택홀을 통하여 상기 드레인전극과 연결되는 화소전극을 형성함과 동시에, 상기리던던시총용 컨택홀을 통하여 상기 데이터라인과 연결되는 데이터라인 리던던시총을 형성하는 단계를 더 구비하여 이루어지는 것을 특징으로 한다.

본 발명의 박막트랜지스터-액정표시장치의 제조방법에 있어서, 상기화소전극과 데이터라인 리던던시총은 ITO막으로 이루어지는 것이 바람직하다.

따라서, 본 발명에 의한 박막트랜지스터-액정표시장치 및 그 제조방법에 의하면, 화소전극과 동일한 재질로 데이터라인 리던던시총을 형성함으로써 추가의 공정 없이도, 데이터라인 하부총의 단차에 의한 데이터라인의 오픈을 방지할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명을 설명하기로 한다.

먼저, 본 발명에 의한 박막트랜지스터-액정표시장치의 구조를 설명하기로 한다.

제2도, 제3도 및 제4도는 본 발명에 의한 박막트랜지스터-액정표시장치의 단면도들 및 평면도를 나타낸 것으로, 제2도는 TFT부분과 화소전극 부분의 단면도를, 제3도는 게이트라인과 데이터라인이 교차되는 부분의 단면도를 각각 나타낸다.

제2도, 제3도 및 제4도를 참조하면, 먼저 유리기판(100)상에 게이트전극(10a)과 게이트라인(10)이 형성되어 있고, 상기 게이트전극(10a)을 덮도록 양극산화막(12)이 형성되어 있으며, 상기 양극산화막(12)과 게이트라인(10)이 덮도록 게이트절연막(14)이 형성되어 있고, 상기 게이트전극(10a) 상부의 게이트절연막(14)위에 반도체패턴(16)이 형성되어 있으며, 상기 반도체패턴(16)을 중심으로 소오스전극(20a) 및 드레인전극(20b)이 형성되어 있고, 상기 게이트라인(10) 상부의 게이트절연막(14)위에 상기 소오스전극(20a)과 연결되고, 상기 게이트라인과 교차되도록 데이터라인(20)이 형성되어 있으며, 상기 드레인전극(20b)과 연결되도록 보호막(22)을 개재하여 화소전극(25)이 형성되어 있고, 상기 게이트라인(10)과 데이터라인(20)이 교차되는 부위의 데이터라인(20)과 연결되도록 보호막(22)을 개재하여 데이터라인 리던던시총(25')이 형성되어 있다.

다음으로, 본 발명에 의한 박막트랜지스터-액정표시장치의 제조방법을 공정흐름도를 참조하면서, 개략적으로 설명하기로 한다.

제5도는 본 발명에 따른 박막트랜지스터-액정표시장치의 프로세스구성을 나타낸 공정흐름도이다.

제5도를 참조하면, 먼저 유리기판상에 소정의 금속물질을 형성한 후 1차의 사진식각공정을 통하여 게이트전극 및 게이트라인으로 이루어지는 게이트패턴을 형성하고(단계 101), 상기 게이트패턴이 형성된 기판을 양극산화한 후 2차의 사진식각공정을 통하여 상기 게이트전극상에 양극산화막을 형성하며(단계 102), 결과를 전면에 게이트절연막 및 비정질실리콘막으로 구성된 반도체막을 차례로 적층한 후 3차의 사진식각공정을 통하여 상기 비정질실리콘막을 패터닝함으로써 반도체패턴을 형성하고(단계 103), 게이트패드 형성을 위하여 상기 게이트절연막을 4차로 사진식각하여 게이트라인을 노출시키며(단계 104), 결과를 전면에 소정의 금속물질을 형성한 후 5차의 사진식각공정을 통하여 데이터라인 및 소오스전극/드레인전극을 형성하고(단계 105), 결과를 전면에 소정 두께의 보호막을 형성한 후 6차의 사진식각공정을 통하여 패터닝함으로써 상기 드레인전극의 일부분 및 상기 게이트라인과 데이터라인이 교차되는 부위의 데이터라인을 노출시키며(단계 106), 결과를 전면에 ITO(Indium Tin Oxide)막을 형성한 후 7차의 사진식각공정을 통하여 화소전극 및 데이터라인 리던던시총을 형성함으로써 박막트랜지스터-액정표시장치를 완성한다(단계 107).

이와같은 프로세스 구성을 기초로 하여 7차의 사진식각공정을 통하여 제작되는 박막트랜지스터-액정표시장치의 구체적인 제조방법을 살펴보기로 한다.

제6a도 내지 제6g도, 제7a도 내지 제7g도 및 제8a도 내지 제8g도는 본 발명에 따른 박막트랜지스터-액정표시장치의 제조방법을 나타낸 공정순서도로, 상기 제6a도 내지 제6g도는 TFT부 및 화소전극부를 나타낸 단면도들이고, 제7a도 내지 제7g도는 게이트라인과 데이터라인이 교차되는 부위의 단면도들이며, 제8a도 내지 제8g도는 본 발명에 의한 박막트랜지스터-액정표시장치의 제조방법을 설명하기 위하여 도시한 평면도들이다.

제6a도, 제7a도 및 제8a도는 1차의 사진식각공정을 통한 게이트전극(10a) 및 게이트라인(10)의 형성공정을 도시한 것으로, 먼저 유리기판(100)상에 제1금속막 예컨데 크롬을 소정 두께로 형성한 후, 1차의 사진식각공정을 통하여 상기 제1금속막을 식각함으로써 게이트패턴을 형성한다. 이때, 상기 게이트 패턴은 TFT의 게이트전극(10a) 및 게이트라인(10)으로 사용된다.

제6b도, 제7b도 및 제8b도는 2차의 사진식각공정을 통한 양극산화막(12)의 형성공정을 도시한 것으로, 상기 게이트 패턴(10, 10a)이 형성된 기판(100)을 양극산화한 후 2차의 사진식각공정을 통하여 상기 게이트전극(10a)상에 양극산화막(12)을 형성한다.

제6c도, 제7c도 및 제8c도는 3차의 사진식각공정을 통한 반도체패턴(16)의 형성공정을 도시한 것으로, 먼저 상기 양극산화막(12)이 형성된 결과를 전면에 게이트절연막(14) 예컨데 질화막을 소정 두께로 형성하고, 이 게이트절연막(14)위에 소정두께의 제1반도체막 예컨데 비정질실리콘을 형성한다. 계속해서, 3차의 사진식각공정을 통하여 상기 제1반도체막을 식각함으로써, 도시된 바와 같은 반도체패턴(16)을 형성한다.

제6d도, 제7d도 및 제8d도는 4차의 사진식각공정을 통한 게이트라인의 노출공정을 도시한 것으로, 상기 제1도에 도시된 바와 같이 상기 게이트라인의 한쪽 끝에 ↘연결되는 게이트패드의 형성을 위하여, 상기 게이트라인 상부에 형성된 게이트절연막에 대하여 4차의 사진식각공정을 실시함으로써 상기 게이트라인 단부(端部)의 일부분을 노출시킨다(도시되지 않음).

제6e도, 제7e도 및 제8e도는 5차의 사진식각공정을 통한 소오스전극(20a)/드레인전극(20b)의 형성공정을 도시한 것으로, 먼저 상기 게이트라인 단부의 노출공정 후 결과를 전면에 제2금속막 예컨데 알루미늄 합금을 형성한 후 4차의 사진식각공정을 통하여 상기 제2금속막을 식각함으로써 소오스전극(20a)/드레인전극(20b), 데이터라인(20) 및 상기 노출된 게이트라인과 연결되는 게이트패드(도시되지 않음)를 각각 형성한다.

제6f도, 제7f도 및 제8f도는 6차의 사진식각공정을 통한 제1콘택트홀(CH1) 및 제2콘택트홀(CH2)의 형성공정을 도시한 것으로, 먼저 상기 제6e도, 제7e도 및 제8e도의 공정 후 결과를 전면에 TFT를 보호하기 위하여 보호막(22) 예컨데 질화막을 소정 두께로 형성한다. 이어서, 상기 보호막(22)에 대하여 6차의 사진식각공정을 실시하여 패터닝함으로써 상기 드레인전극(20b)의 일부분과, 상기 게이트라인(10)과 데이터라인(20)이 교차되는 부위의 데이터라인(20)이 노출되도록 하여, 상기 드레인전극(20b)이 노출된 제1콘택트홀(CH1) 및 상기 데이터라인(20)이 노출된 제2콘택트홀(CH2)을 형성한다.

제6g도, 제7g도 및 제8g도는 7차의 사진식각공정을 통한 화소전극(25) 및 데이터라인 리던던시총(25')의 형성공정을 도시한 것으로, 상기 제1 및 제2콘택트홀이 형성된 결과를 전면에 화소전극으로 사용되는 ITO막을 소정두께로 형성한 후, 이 ITO막에 대하여 7차의 사진식각공정을 실시함으로써, 상기 드레인전극(20b)과 연결되는 화소전극(25)과, 상기 게이트라인(10)과 데이터라인(20)이 교차되는 부위의 데이터라인(20)과 연결되는 데이터라인 리던던시총(25')을 형성하여 본 발명에 따른 박막트랜지스터-액정표시장치를 완성한다. 여기서, 상기 데이터라인 리던던시총(25') 패턴은 제7g도에 도시된 바와같이 타원형으로 제작되었지만, 상기 데이터라인(20)의 하부층들에 의한 단차로 인하여 데이터라인이 오픈되는 것을 방지할 수 있는 어떤 형태의 패턴으로도 제작 가능함은 물론이다.

따라서, 본 발명에 의한 박막트랜지스터-액정표시장치 및 그 제조방법에 의하면, 보호막 패턴 형성시 화소전극과 연결될 드레인전극을 노출시킴과 동시에 게이트전극과 데이터라인이 교차되는 부위의 데이터라인을 노출시킴으로써, 추가의 공정 없이도 후속

되는 화소전극의 공정시 상기 데이터라인과 연결되는 리던던시총을 동시에 형성할 수 있게 되어, 데이터라인의 하부층과의 단차에 의한 스텝 커버리지(Stepcoverage) 및 스텝부 이를질에 의해 발생하는 게이트전극과 데이터라인이 교차되는 부위의 데이터라인이 오픈되는 것을 방지할 수 있다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

(57) 청구의 범위

청구항1

유리기판 상에 형성된 게이트전극과 게이트라인; 상기 게이트전극 상에 형성된 게이트 절연막; 상기 게이트 전극 상부의 게이트 절연막 위에 형성된 반도체패턴; 상기 반도체패턴 상부에 상기 게이트 전극을 중심으로 대향하여 형성된 소오스전극 및 드레인전극; 상기 게이트절연막 상에 상기 게이트라인과 교차되며 상기 소오스전극과 연결되어 형성된 데이터라인; 및 상기 드레인전극과 연결되는 화소전극을 구비하여 이루어지는 박막트랜지스터-액정표시장치, 상기 게이트라인과 데이터라인이 교차되는 부위의 상부에 데이터라인과 연결되는 데이터라인 리던던시총을 더 구비하는 것을 특징으로 하는 박막트랜지스터-액정표시장치

청구항2

제1항에 있어서, 상기 화소전극 및 리던던시총은 ITO막으로 이루어진 것을 특징으로 하는 박막트랜지스터-액정표시장치.

청구항3

제1항에 있어서, 상기 게이트전극과 게이트 절연막 사이에 상기 게이트전극을 덮도록 형성된 양극산화막을 더 구비하여 이루어지는 것을 특징으로 하는 박막트랜지스터-액정표시장치.

청구항4

제3항에 있어서, 상기 화소전극과 데이터라인 리던던시총은 ITO막으로 이루어지는 것을 특징으로 하는 박막트랜지스터-액정표시장치.

청구항5

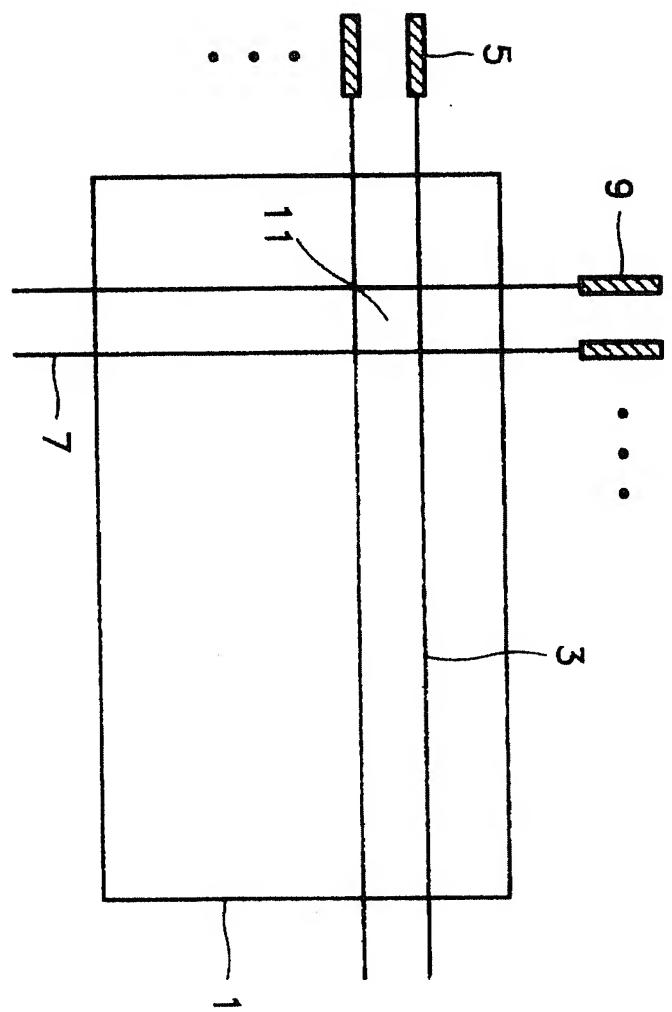
유리기판상에 소정의 금속막을 형성한 후 패터닝함으로써 게이트전극 및 게이트라인을 형성하는 단계; 상기 게이트전극상에 게이트절연막을 형성하는 단계; 상기 게이트전극 상부의 게이트절연막상에 반도체패턴을 형성하는 단계; 게이트패드 형성을 위하여 상기 게이트라인 단부의 일부분을 노출시키는 단계; 및 상기 게이트라인 단부의 일부분을 노출시킨 후 결과물 전면에 소정의 금속막을 형성한 후 패터닝함으로써 소오스전극, 드레인전극, 게이트패드 및 상기 게이트라인과 교차되는 데이터라인을 형성하는 단계를 구비하여 이루어지는 박막트랜지스터-액정표시장치의 제조방법에 있어서, 상기 소오스전극, 드레인전극, 데이터라인 및 게이트패드 형성 후 결과물 전면에 보호막을 형성한 후 패터닝함으로써, 상기 드레인전극의 일부분을 노출시키는 화소전극용 컨택홀과, 상기 게이트라인과 데이터라인이 교차되는 부위의 데이터라인을 노출시키는 리던던시총용 컨택홀을 형성하는 단계; 및 상기 드레인전극의 일부분과, 상기 게이트라인과 데이터라인이 교차되는 부위의 데이터라인을 노출시킨 후 결과물 전면에 소정의 금속막을 형성한 후 패터닝함으로써, 상기 화소전극용 컨택홀을 통하여 상기 데이터라인과 연결되는 데이터라인 리던던시총을 형성하는 단계를 더 구비하여 이루어지는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항6

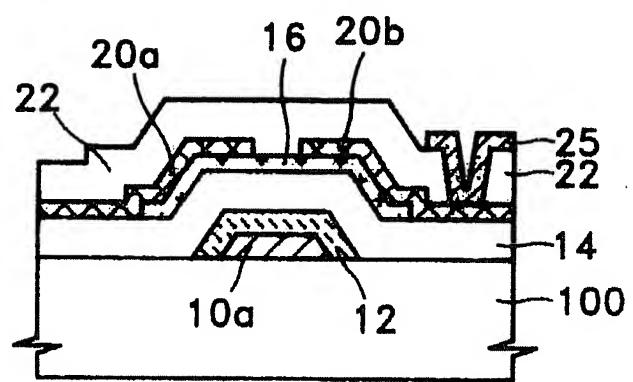
제5항에 있어서, 상기 화소전극과 데이터라인 리던던시총은 ITO막으로 이루어지는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법

도면

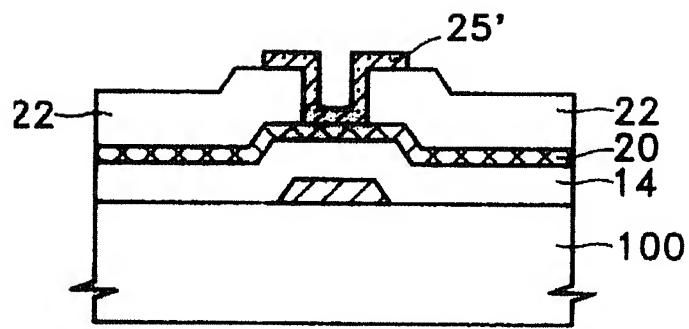
도면1



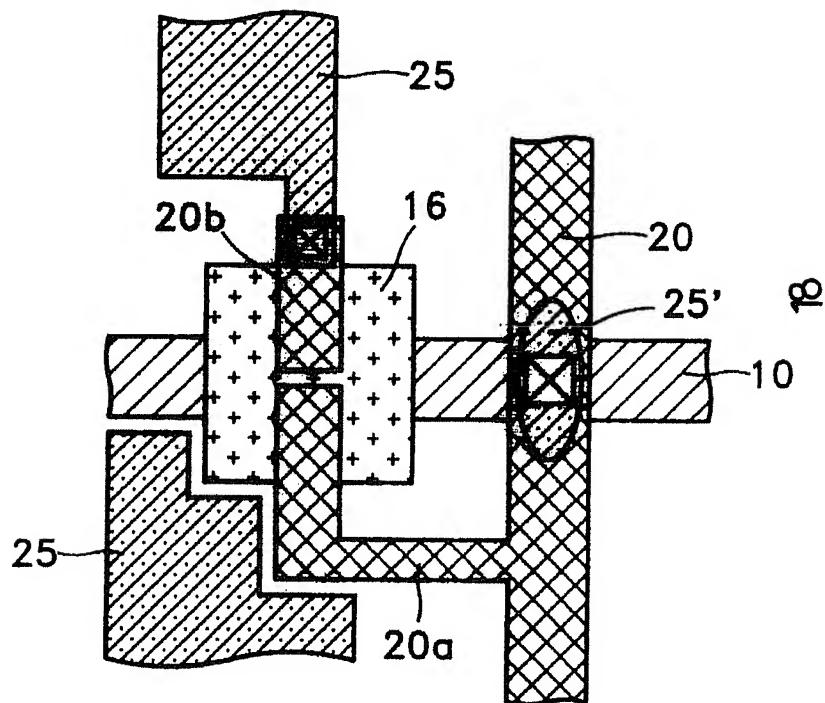
도면2



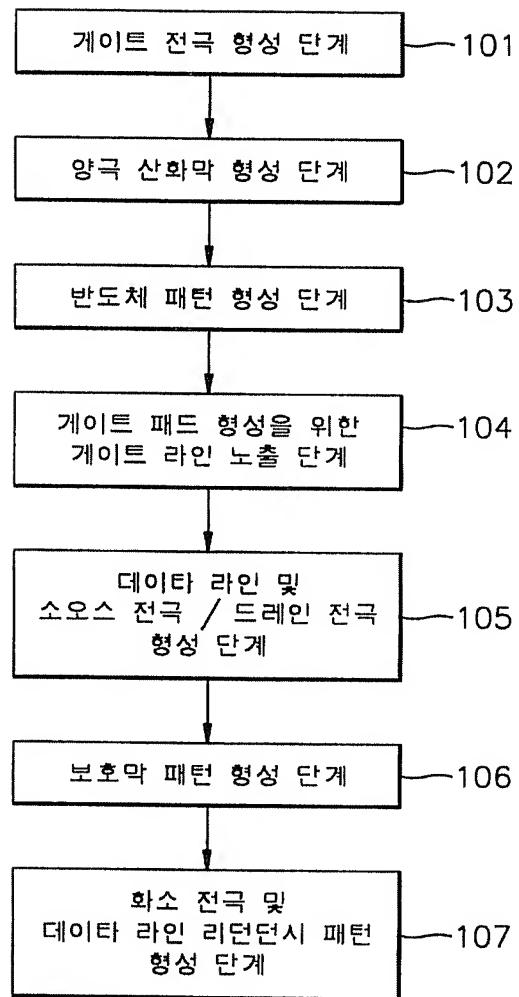
도면3



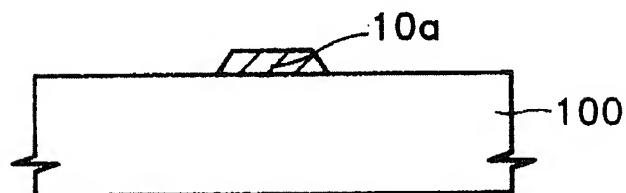
도면4



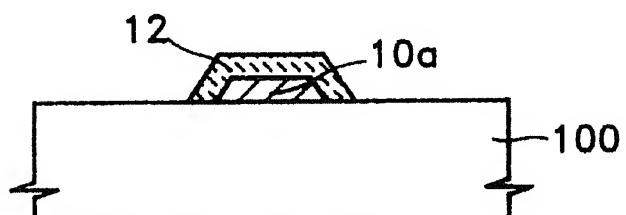
도면5



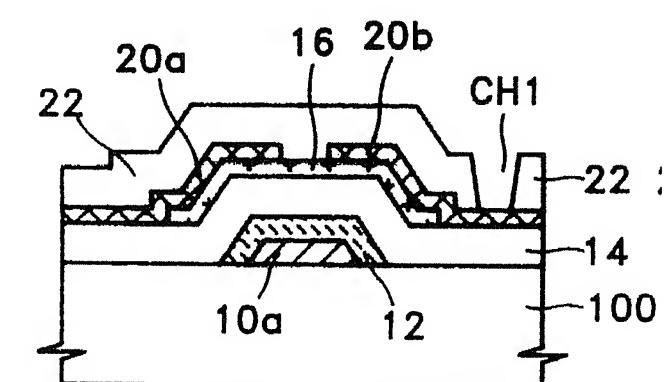
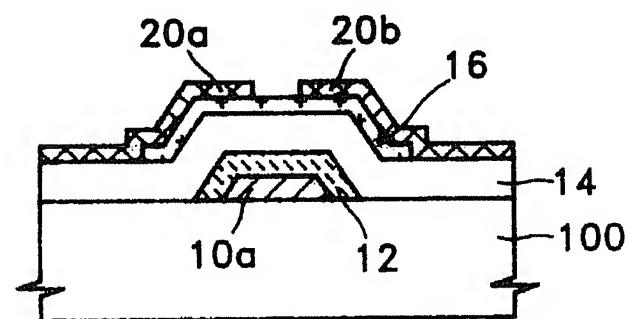
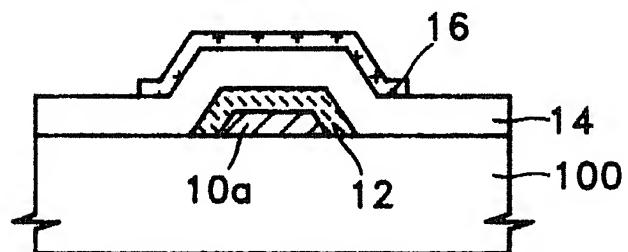
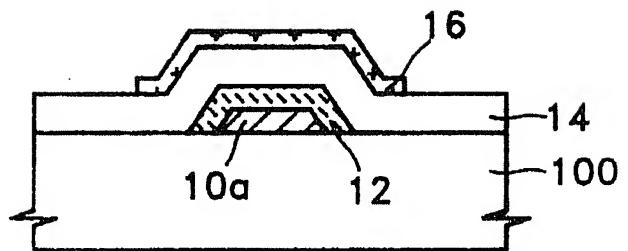
도면6a

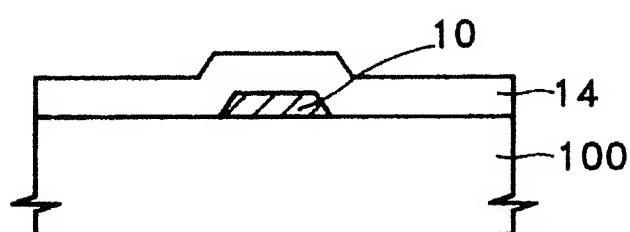
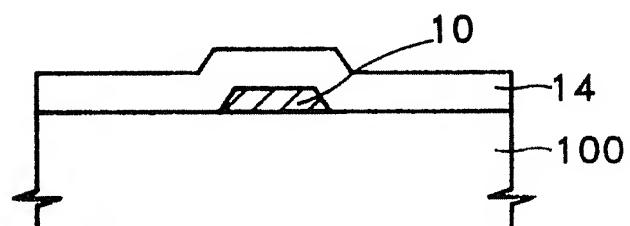
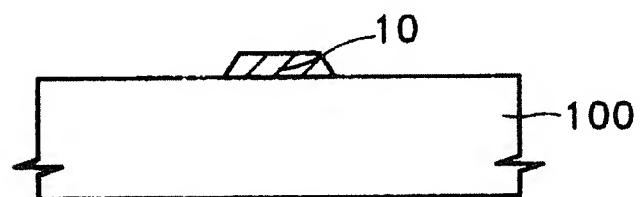
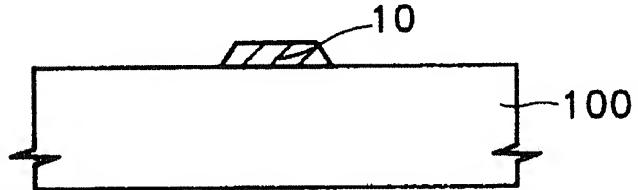
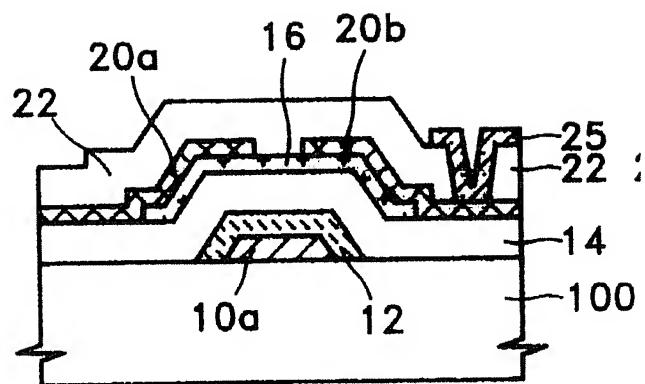


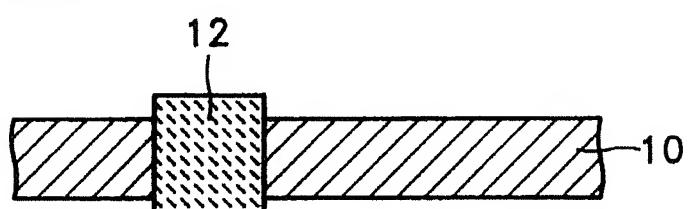
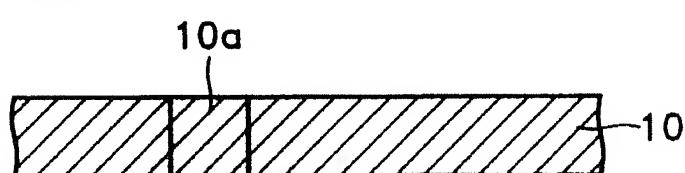
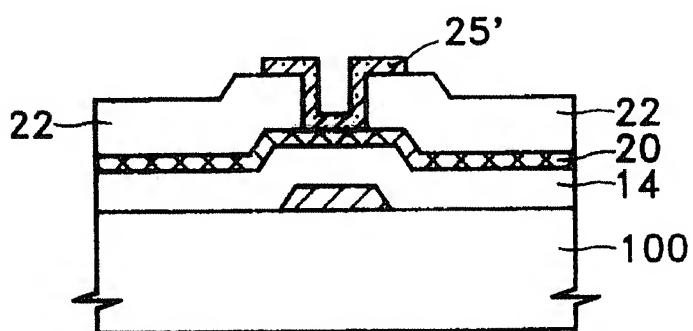
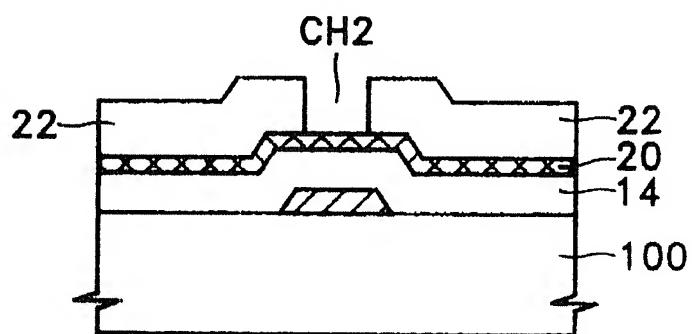
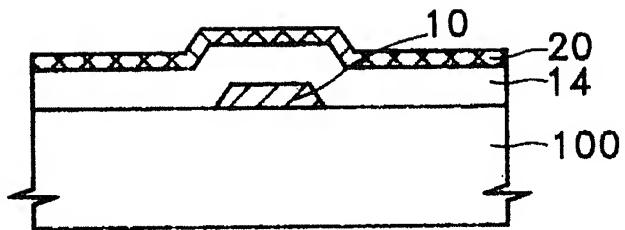
도면6b

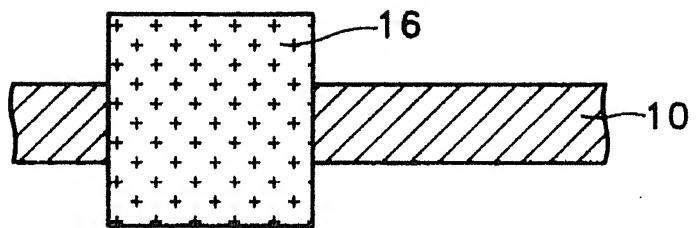


도면6c

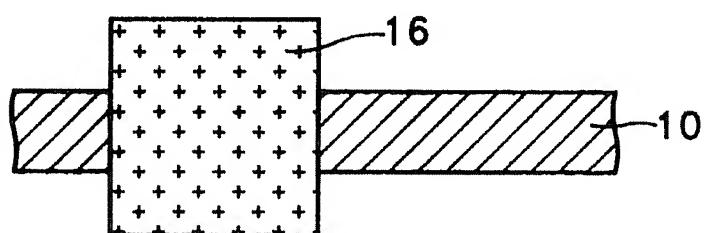




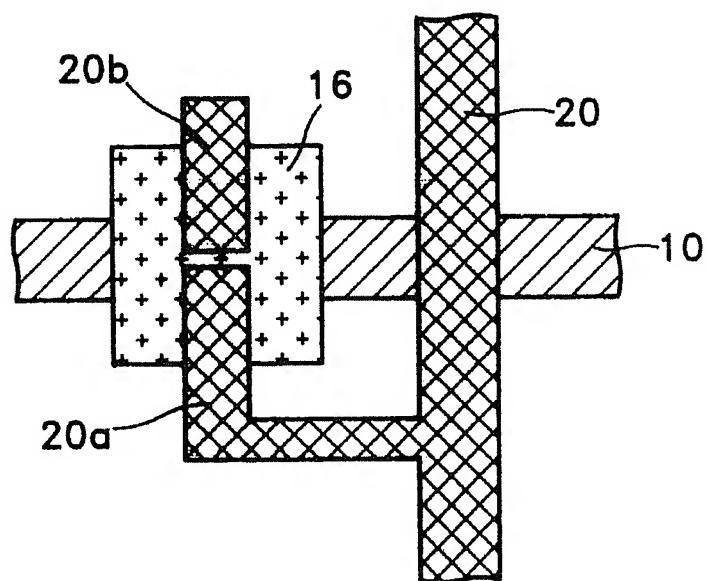




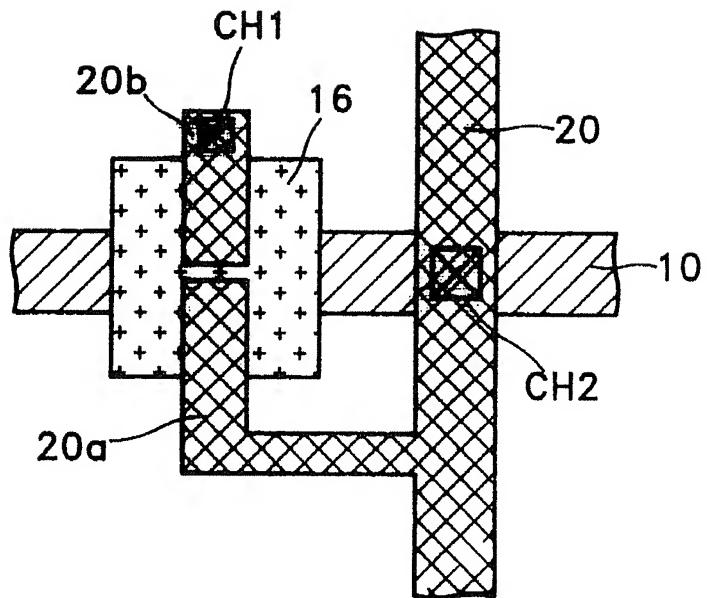
도면8d



도면8e



도면8f



도면8g

